

011 08577

98 P 2081



PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : H05K 3/06, 1/02	A1	(11) Internationale Veröffentlichungsnummer: WO 00/04750 (43) Internationales Veröffentlichungsdatum: 27. Januar 2000 (27.01.00)
--	----	--

(21) Internationales Aktenzeichen: PCT/EP99/04568

(22) Internationales Anmeldedatum: 1. Juli 1999 (01.07.99)

(30) Prioritätsdaten:
198 31 341.1 13. Juli 1998 (13.07.98) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
S.A. [BE/BE]; Chaussée de Charleroi 116, B-1060 Bruxelles (BE).

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): VAN PUymbroeck,
Jozef [BE/BE]; Korenbloemstraat 17, B-8020 Oostkamp (BE).

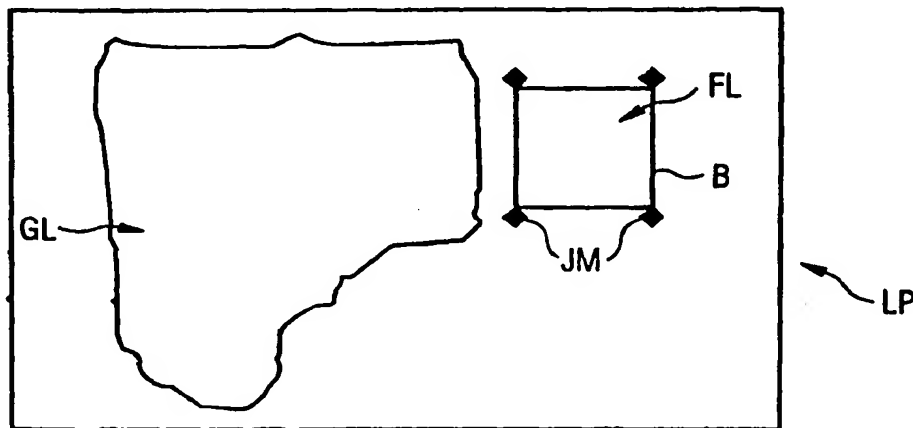
(74) Anwalt: ZEDLITZ, Peter; Postfach 22 13 17, D-80503 München (DE).

(81) Bestimmungsstaaten: CN, JP, KR, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht.
Mit internationalem Recherchenbericht.

(54) Title: METHOD FOR PRODUCING PRINTED CIRCUIT BOARDS WITH ROUGH CONDUCTING STRUCTURES AND AT LEAST ONE AREA WITH FINE CONDUCTING STRUCTURES

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON LEITERPLATTEN MIT GROBEN LEITERSTRUKTUREN UND MINDESTENS EINEM BEREICH MIT FEINEN LEITERSTRUKTUREN



LP...PRINTED BOARD
JM...ADJUSTMENT MARKS

(57) Abstract

The rough conducting structures (GL) and the fine conducting structures (FL) are etched out of a metal layer in a common etching process, whereby an etch resist structured by means of photolithography is used in the area containing the rough conducting structures (GL) and an etch resist structured by means of a laser beam is used in the area containing the fine conducting structures.

(57) Zusammenfassung

Die groben Leiterstrukturen (GL) und die feinen Leiterstrukturen (FL) werden in einem gemeinsamen Ätzprozeß aus einer Metallschicht herausgeätzt, wobei im Bereich der groben Leiterstrukturen (GL) ein mittels Photolithographie strukturiertes Ätzresist und in Bereich der feinen Leiterstrukturen ein mit Hilfe eines Laserstrahls strukturiertes Ätzresist verwendet wird.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbajdschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Verfahren zur Herstellung von Leiterplatten mit groben Leiterstrukturen und mindestens einem Bereich mit feinen Leiterstrukturen

Aus der DE 32 45 272 A1 ist ein Verfahren zur Herstellung miniaturisierter Dick- und Dünnschichtschaltungen bekannt, bei dem zum Zwecke einer wesentlichen Erhöhung der Leiterbahndichte zunächst zumindest auf diejenigen Bereiche des Substrats, an denen eine miniaturisierte Leiterbahngeometrie vorgesehen ist, eine vollflächige Schicht aus leitendem Material aufgebracht wird und diese Schicht dann mittels eines nach einem negativen Lay-out-Programm gesteuerten, bezüglich des Substrats justierten Lasers in voneinander getrennte, wenigstens zum Teil jeweils eine Leiterbahn bildende Teilflächen und/oder Streifen unterteilt wird. Beim Anschluß einer Vielzahl von IC-Pads an eine umliegende Peripherie werden durch divergierende Laser-Brennspuren sternförmig auseinanderlaufende Leiterbahnen geschaffen, die IC-seitig sehr schmal und jeweils einem der eng nebeneinanderliegenden Pads zugeordnet sind und die mit ihren verbreiterten, außenliegenden Ende an Peripherieanschlüsse geführt sind. Durch eine spiralförmige Führung der Laser-Brennspur können in der vollflächig leitenden Schicht auch Induktivitäten ausgebildet werden. Dabei läßt sich durch die spiralförmige Anordnung der jeweils zwischen zwei Laser-Brennspuren gelegten Leiterbahn ein sehr kompakter und damit platzsparender Induktivitätsaufbau erzielen.

30

Aus der EP 0 602 258 A1 ist ein Verfahren zur Herstellung von Leiterplatten mit groben Leiterstrukturen bekannt, wobei jedoch ein abgegrenzter Bereich dieser Leiterplatten eine sehr hohe Verdrahtungsdichte erhalten soll. Dies wird durch eine zusätzliche Verdrahtungslage erreicht, die nur in dem abgegrenzten Bereich aufgebracht wird und mit der darunter lie-

35

genden Verdrahtungslage über Durchkontaktierungen verbunden ist.

5 Aus der EP 0 062 300 A2 ist ein Verfahren zur Herstellung von Leiterplatten bekannt, bei welchem ein ganzflächig auf eine Metallschicht aufgebrachtes metallisches Ätzresist mittels Laserstrahlung selektiv in den nicht den Leiterstrukturen entsprechenden Bereichen wieder entfernt wird und die Leiterstrukturen durch Abätzen der derart freigelegten Metall-
10 schicht gebildet werden.

Aus der DE 41 31 065 A1 ist ein Verfahren zur Herstellung von Leiterplatten bekannt, bei welchem auf ein Substrat nacheinander eine Metallschicht und eine metallische oder organische
15 Ätzresistschicht aufgebracht werden, worauf diese Ätzresistschicht mittels Laserstrahlung in den unmittelbar an das spätere Leiterbahnmuster angrenzenden Bereichen entfernt und die dadurch freigelegte Metallschicht derart weggeätzt wird, daß das Leiterbahnmuster und durch Ätzgräben elektrisch davon
20 isolierte Inselbereiche der Metallschicht auf dem Substrat verbleiben. Die Strukturierung mittels Laserstrahlung kann rasch vorgenommen werden, da die zu entfernenden Bereiche der Ätzresistschicht nur eine geringe Breite aufweisen müssen und die größeren Flächen zwischen zwei Leiterbahnen stehen blei-
25 ben.

Der im Anspruch 1 angegebenen Erfindung liegt das Problem zugrunde, ein wirtschaftliches und einfach durchzuführendes Verfahren zur Herstellung von Leiterplatten zu schaffen, die
30 in mindestens einem abgegrenzten Bereich eine hohe Leiterbahndichte aufweisen.

Der Erfindung liegt die Erkenntnis zugrunde, daß durch eine Kombination von konventioneller Photoätztechnik für die Her-
35 stellung der groben Leiterstrukturen und der Laserstrukturierung für die Herstellung der feinen Leiterstrukturen die Verfahrensabläufe so aufeinander abgestimmt werden können, daß

die Bildung der groben und feinen Leiterstrukturen in einem gemeinsamen Ätzprozeß vorgenommen werden kann.

Die Herstellung der feinen Leiterstrukturen wäre prinzipiell auch in konventioneller Photoätztechnik möglich. Hier müßten jedoch besonders hochwertige Photoresists, besonders hochwertige Lichtquellen und besonders hochwertige Photomasken eingesetzt werden und die Arbeiten in staubfreien Räumen durchgeführt werden. All diese Maßnahmen können durch die Anwendung der Laserstrukturierung für die feinen Leiterstrukturen entfallen, wobei gleichzeitig auch eine sehr hohe Ausbeute erzielt wird.

Im Sinne der Erfindung sind unter groben Leiterstrukturen solche Strukturen mit Leiterbahnbreiten und Leiterbahnabständen von mehr als 100 µm zu verstehen, während unter feinen Leiterstrukturen solche Strukturen mit Leiterbahnbreiten und Leiterbahnabständen von 100 µm und weniger verstanden werden.

Vorteilhafte Ausgestaltungen der Erfindung sind in den Ansprüchen 2 bis 11 angegeben.

Die Ausgestaltung nach Anspruch 2 ermöglicht die Herstellung von Durchkontaktierungen sowohl im Bereich der groben Leiterstrukturen als auch im Bereich der feinen Leiterstrukturen.

Die Weiterbildung nach Anspruch 3 ermöglicht durch die metallische Verstärkungsschicht die Herstellung äußerst zuverlässiger Durchkontaktierungen im Bereich der groben Leiterstrukturen.

Die Ausgestaltung nach Anspruch 4 ermöglicht im Bedarfsfall einen besonders einfachen Schutz des Bereichs mit einen Leiterstrukturen während der Abscheidung der metallischen Verstärkungsschicht im Bereich der groben Leiterstrukturen.

Die Ausgestaltung nach Anspruch 5 ermöglicht im Bereich der feinen Leiterstrukturen eine Strukturierung des Photoresists mit Hilfe eines Laserstrahls. Gemäß Anspruch 6 kann dann in diesem Fall ein Ätzresist besonders einfach und in der gewünschten Struktur in einem Arbeitsgang auf die groben und auf die feinen Leiterstrukturen aufgebracht werden.

Gemäß Anspruch 7 kann der Schutz des Bereichs mit feinen Leiterstrukturen beim Aufbringen der metallischen Verstärkungsschicht auch auf einfache Weise durch eine temporäre Maske bewirkt werden, die danach einfach wieder abgezogen wird.

Die Weiterbildung nach Anspruch 8 ermöglicht eine besonders einfach zu realisierende direkte Laserstrukturierung des Ätzresists im Bereich der feinen Leiterstrukturen.

Obwohl als Ätzresist prinzipiell auch organische Resists, wie z.B. Elektrotauchlack, verwendet werden können, wird gemäß Anspruch 9 eine chemische oder galvanische Abscheidung metallischer Ätzresists bevorzugt. Dabei hat sich gemäß Anspruch 10 die Verwendung von Zinn oder Zinn-Blei als Ätzresist besonders bewährt.

Falls das Ätzresist bei der weiteren Behandlung der Leiterplatte stört, wird es gemäß Anspruch 11 wieder entfernt. In diesem Falle können dann beispielsweise andere Metallschichten auf die groben und auf die feinen Leiterstrukturen aufgebracht werden.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert.

Es zeigen

Figur 1 eine Draufsicht auf eine Leiterplatte mit groben Leiterstrukturen und einem Bereich mit feinen Leiterstrukturen in stark vereinfachter schematischer Darstellung,

Figur 2 verschiedene Verfahrensstadien einer ersten Ausführungsform eines Verfahrens zur Herstellung von Leiterplatten mit groben Leiterstrukturen und einem Bereich mit feinen Leiterstrukturen,

Figur 3 verschiedene Verfahrensstadien einer zweiten Ausführungsform eines Verfahrens zur Herstellung von Leiterplatten mit groben Leiterstrukturen und einem Bereich mit feinen Leiterstrukturen und

Figur 4 verschiedene Verfahrensstadien einer dritten Ausführungsform eines Verfahrens zur Herstellung von Leiterplatten mit groben Leiterstrukturen und einem Bereich mit feinen Leiterstrukturen.

Figur 1 zeigt in stark vereinfachter schematischer Darstellung eine Draufsicht auf eine insgesamt mit LP bezeichnete Leiterplatte, auf deren Oberfläche sich ein nur durch eine Umrißlinie angedeuteter Bereich mit groben Leiterstrukturen GL und ein abgegrenzter Bereich B mit ebenfalls nicht näher erkennbaren feinen Leiterstrukturen FL befinden. In den Eckpunkten des Bereichs B befinden sich vier Justiermarken JM, die bei Arbeiten im Bereich B eine exakte Positionierung der jeweiligen Geräte ermöglichen.

Figur 2 zeigt verschiedene Verfahrensstadien a bis h einer ersten Ausführungsform eines Verfahrens zur Herstellung von Leiterplatten mit groben Leiterstrukturen und einem Bereich mit feinen Leiterstrukturen. Bei den einzelnen Schnitten durch ein elektrisch isolierendes Substrat S befindet sich dabei jeweils links von einer punktierten Linie L der Bereich für die groben Leiterstrukturen, während rechts von dieser punktierten Linie L sich der Bereich der feinen Leiterstrukturen befindet.

Gemäß Figur 2a wird auf das Substrat S eine Metallschicht MS aufgebracht, worauf im Bereich mit groben Leiterstrukturen

und im Bereich mit feinen Leiterstrukturen Durchkontaktierungslöcher DL gebohrt werden. Bei der Metallschicht MS handelt es sich z.E. um eine Kupferkaschierung.

- 5 Gemäß Figur 2b wird anschließend z.B. durch chemische und galvanische Kupferabscheidung eine Metallisierung ME auf die Metallschicht MS und auf die Wandungen der Durchkontaktierungslöcher DL aufgebracht.
- 10 Anschließend wird gemäß Figur 2c ein Photoresist PR aufgebracht und durch Belichten und Entwickeln derart strukturiert, daß es im Bereich der groben Leiterstrukturen ein negatives Muster dieser groben Leiterstrukturen aufweist und andererseits den gesamten Bereich der feinen Leiterstrukturen
- 15 abdeckt. Gemäß Figur 2d wird dann auf den nicht vom Photoresist PR bedeckten Bereichen der Metallisierung ME und insbesondere in den Durchkontaktierungslöchern DL z.B. durch galvanische Kupferabscheidung eine Verstärkungsschicht VS aufgebracht. Diese Verstärkungsschicht VS hat die Aufgabe, die Zu-
- 20 verlässigkeit der Durchkontaktierungen zu erhöhen.

Gemäß Figur 2e wird dann im Bereich der feinen Leiterstrukturen das Photoresist PR mit Hilfe eines Laserstrahls LS derart strukturiert, daß es das negative Muster der feinen Leiterstrukturen aufweist. Für diese Laserstrukturierung wird beispielsweise ein Nd:YAG Laser mit einer Wellenlänge von 1,06 μm oder von 355 nm verwendet.

25

Anschließend wird gemäß Figur 2f ein Ätzresist AR in einem

30 Arbeitsgang auf die groben Leiterstrukturen und auf die feinen Leiterstrukturen aufgebracht. Im dargestellten Ausführungsbeispiel erfolgt das Aufbringen des Ätzresists AR durch galvanische Abscheidung von Zinn.

35 Nach der in Figur 2g dargestellten Entfernung des Photoresists PR werden dann gemäß Figur 2h die groben Leiterstrukturen GL und die feinen Leiterstrukturen FL in einem gemeinsa-

men Ätzprozeß hergestellt. In diesem gemeinsamen Ätzprozeß werden die nicht vom Ätzresist AR geschützten Bereiche der Metallisierung ME und der Metallschicht MS bis zur Oberfläche des Substrats S weggeätzt. In einem letzten Schritt wird dann
5 das verbliebene Ätzresist AR gestrippt.

Figur 3 zeigt verschiedene Verfahrensstadien a bis h einer zweiten Ausführungsform eines Verfahrens zur Herstellung von Leiterplatten mit groben Leiterstrukturen und einem Bereich
10 mit feinen Leiterstrukturen. Die Figuren 3a und 3b entsprechen dabei den bereits beschriebenen Figuren 2a und 2b.

Gemäß Figur 3c wird auf die Metallisierung ME ein Photoresist PR aufgebracht und durch Belichten und Entwickeln derart
15 strukturiert, daß es im Bereich der groben Leiterstrukturen ein negatives Muster dieser groben Leiterstrukturen aufweist. Im Bereich der feinen Leiterstrukturen wird eine mit TM bezeichnete temporäre Maske auf die Metallisierung ME aufgebracht. Anschließend wird gemäß Figur 3d im Bereich der groben
20 Leiterstrukturen eine Verstärkungsschicht VS auf die Metallisierung ME aufgebracht.

Nach dem Abziehen der temporären Maske TM gemäß Figur 3e wird dann gemäß Figur 3f ein Ätzresist AR in einem Arbeitsgang auf
25 die groben Leiterstrukturen und auf den Bereich der feinen Leiterstrukturen aufgebracht. Im dargestellten Ausführungsbeispiel erfolgt die Aufbringung des Ätzresists AR durch chemische Abscheidung von Zinn.

Gemäß Figur 3g werden anschließend das Photoresist PR entfernt und das Ätzresist AR im Bereich der feinen Leiterstrukturen mit Hilfe eines Laserstrahls LS derart strukturiert,
30 daß es das Muster der feinen Leiterstrukturen aufweist. Für diese Laserstrukturierung des Ätzresists AR wird ein Nd:YAG
35 Laser mit einer Wellenlänge von 1,06 µm verwendet.

Gemäß Figur 3h werden dann die groben Leiterstrukturen GL und die feinen Leiterstrukturen FL in einem gemeinsamen Ätzprozeß hergestellt. In diesem gemeinsamen Ätzprozeß werden die nicht vom Ätzresist AR geschützten Bereiche der Metallisierung ME und der Metallschicht MS bis zur Oberfläche des Substrats S weggeätzt. In einem letzten Schritt wird dann auch hier wieder das verbliebene Ätzresist AR gestrippt.

Figur 4 zeigt verschiedene Verfahrensstadien a bis h einer dritten Ausführungsform eines Verfahrens zur Herstellung von Leiterplatten mit groben Leiterstrukturen und einem Bereich mit feinen Leiterstrukturen. Die Figuren 4a und 4b entsprechen den bereits beschriebenen Figuren 2a und 2b.

Gemäß Figur 4c wird auf die Metallisierung ME ein Photoresist PR aufgebracht und durch Belichten und Entwickeln derart strukturiert, daß es im Bereich der groben Leiterstrukturen ein negatives Muster dieser groben Leiterstrukturen aufweist.

Anschließend wird gemäß Figur 4d eine Verstärkungsschicht VS auf die Metallisierung ME aufgebracht, wobei diese Verstärkungsschicht VS den gesamten Bereich der feinen Leiterstrukturen ganzflächig bedeckt.

Gemäß Figur 4e wird dann ein Ätzresist AR auf die Verstärkungsschicht VS aufgebracht. Im dargestellten Ausführungsbeispiel erfolgt die Aufbringung des Ätzresists AR durch chemische Abscheidung von Zinn.

Gemäß Figur 4f wird anschließend das Ätzresist AR im Bereich der feinen Leiterstrukturen mit Hilfe eines Laserstrahls LS derart strukturiert, daß es das Muster der feinen Leiterstrukturen aufweist. Für diese Laserstrukturierung des Ätzresists AR wird ein Nd:YAG Laser mit einer Wellenlänge von 1,06 μm verwendet.

Nach dieser Laserstrukturierung wird gemäß Figur 4g das Photoresist PR entfernt.

5 Gemäß Figur 4h werden dann die groben Leiterstrukturen GL und die feinen Leiterstrukturen FL in einem gemeinsamen Ätzprozeß hergestellt. Dabei werden im Bereich der groben Leiterstrukturen GL die nicht vom Ätzresist AR geschützten Bereiche der Metallisierung ME und der Metallschicht MS bis zur Oberfläche des Substrats S abgeätzt. Im Bereich der feinen Leiterstrukturen FL werden die nicht vom Ätzresist AR geschützten Bereiche der Verstärkungsschicht VS, der Metallisierung ME und der Metallschicht MS bis zur Oberfläche des Substrats S abgeätzt. Nach diesem gemeinsamen Ätzprozeß wird das verbliebene Ätzresist AR gestrippt.

10

15

Patentansprüche

1. Verfahren zur Herstellung von Leiterplatten (LP) mit groben Leiterstrukturen (GL) und mit mindestens einem abgegrenzten Bereich (B) mit feinen Leiterstrukturen (FL), mit folgenden Schritten:

a) auf ein elektrisch isolierendes Substrat (S) wird eine Metallschicht (MS) aufgebracht;

b) im Bereich der groben Leiterstrukturen (GL) wird ein mittels Photolithographie strukturiertes Ätzresist (AR) auf die Metallschicht (MS) aufgebracht, welches das Muster der groben Leiterstrukturen (GL) aufweist;

c) im Bereich (B) der feinen Leiterstrukturen (FL) wird ein mit Hilfe eines Laserstrahls (LS) strukturiertes Ätzresist (AR) auf die Metallschicht (MS) aufgebracht, welches das Muster der feinen Leiterstrukturen (FL) aufweist;

d) zur Bildung der groben Leiterstrukturen (GL) und der feinen Leiterstrukturen (FL) werden in einem gemeinsamen Ätzprozeß die nicht durch ein Ätzresist (AR) geschützten Bereiche der Metallschicht (MS) bis zur Oberfläche des Substrats (S) weggeätzt.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet ,

daß im Bereich der groben Leiterstrukturen (GL) und/oder im Bereich der feinen Leiterstrukturen (FL) Durchkontaktierungslöcher (DL) in die Metallschicht (MS) und das Substrat (S) eingebracht werden und daß dann auf die Metallschicht (MS) und auf die Wandungen der Durchkontaktierungslöcher (DL) eine Metallisierung (ME) aufgebracht wird.

3. Verfahren nach Anspruch 2,

dadurch gekennzeichnet ,

daß auf die Metallisierung (ME) zumindest im Bereich der groben Leiterstrukturen (GL) ein Photoresist (PR) aufgebracht und durch Belichten und Entwickeln derart strukturiert wird, daß es das negative Muster der groben Leiterstrukturen (GL)

aufweist und daß dann eine metallische Verstärkungsschicht (VS) auf die Metallisierung (ME) aufgebracht wird.

4. Verfahren nach Anspruch 3,

5 dadurch gekennzeichnet ,
daß das Photoresist (PR) auch auf den Bereich (B) mit feinen Leiterstrukturen (FL) aufgebracht wird und diesen beim Aufbringen der metallischen Verstärkungsschicht (VS) abdeckt.

10 5. Verfahren nach Anspruch 4,

dadurch gekennzeichnet ,
daß das Photoresist (PR) nach dem Aufbringen der metallischen Verstärkungsschicht (VS) im Bereich (B) mit feinen Leiterstrukturen (FL) mit Hilfe eines Laserstrahls (LS) derart
15 strukturiert wird, daß es das negative Muster der feinen Leiterstrukturen (LS) aufweist.

6. Verfahren nach Anspruch 5,

dadurch gekennzeichnet ,
20 daß das Ätzresist (AR) in einem Arbeitsgang auf die groben Leiterstrukturen (GL) und auf die feinen Leiterstrukturen (FL) aufgebracht wird und daß dann das Photoresist (PR) entfernt wird.

25 7. Verfahren nach Anspruch 3,

dadurch gekennzeichnet ,
daß der Bereich (B) mit feinen Leiterstrukturen (FL) beim Aufbringen der metallischen Verstärkungsschicht (VS) durch eine temporäre Maske (TM) abgedeckt wird.

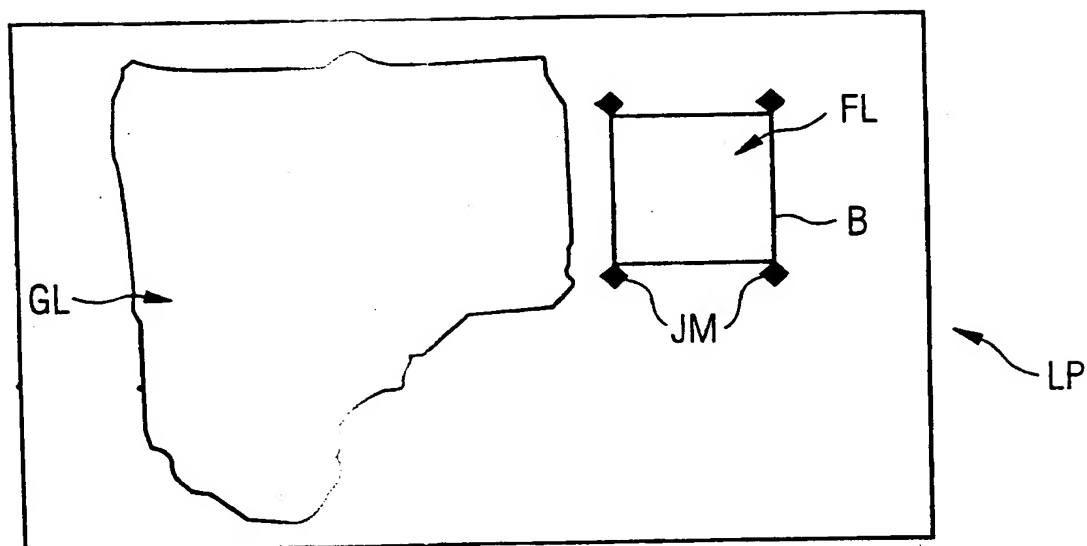
30

8. Verfahren nach einem der Ansprüche 1 bis 3 oder 7,

dadurch gekennzeichnet ,
daß im Schritt c) das Ätzresist (AR) ganzflächig auf die Metallschicht (MS) aufgebracht und mit Hilfe des Laserstrahls
35 (LS) derart strukturiert wird, daß es das Muster der feinen Leiterstrukturen (FL) aufweist.

9. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet ,
daß das Ätzresist (AR) durch chemische oder galvanische Metallabscheidung in einem Arbeitsgang im Bereich mit groben
5 Leiterstrukturen (GL) und im Bereich (B) mit feinen Leiterstrukturen (FL) aufgebracht wird.
10. Verfahren nach Anspruch 9,
dadurch gekennzeichnet ,
10 daß als Ätzresist (AR) Zinn oder Zinn-Blei verwendet wird.
11. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet ,
daß das Ätzresist (AR) nach dem Schritt d) wieder entfernt
15 wird.

FIG 1



2/4

FIG 2

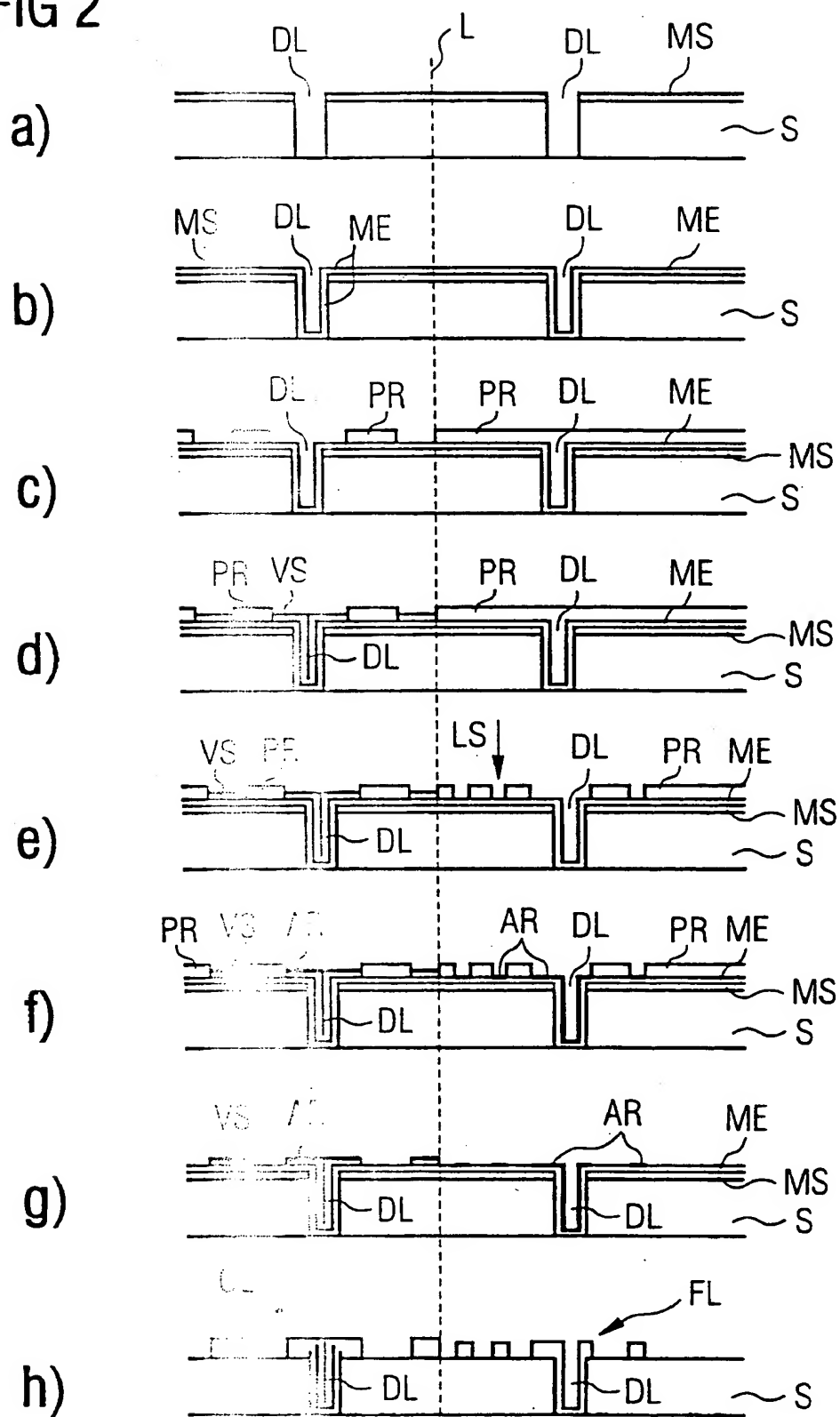
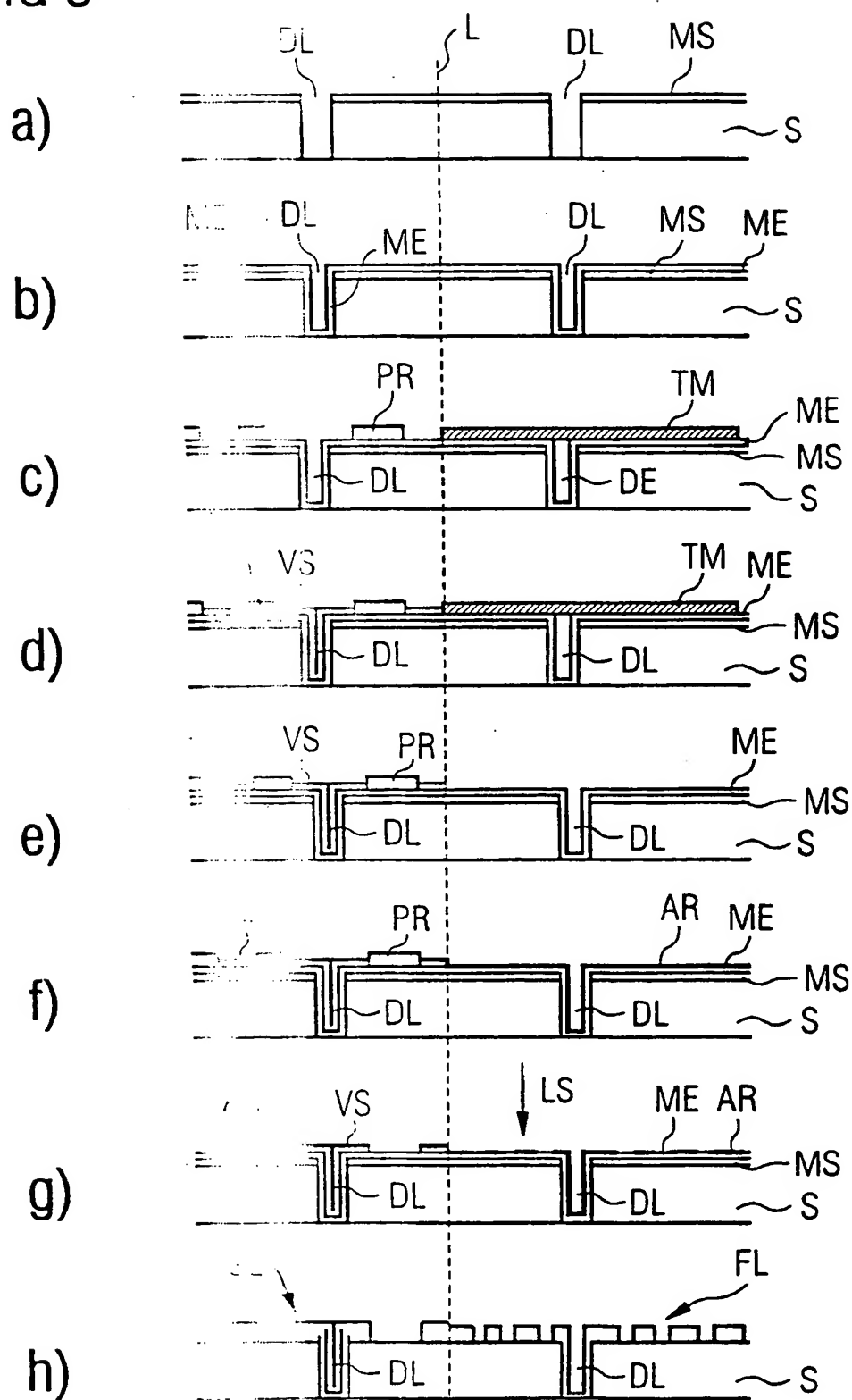
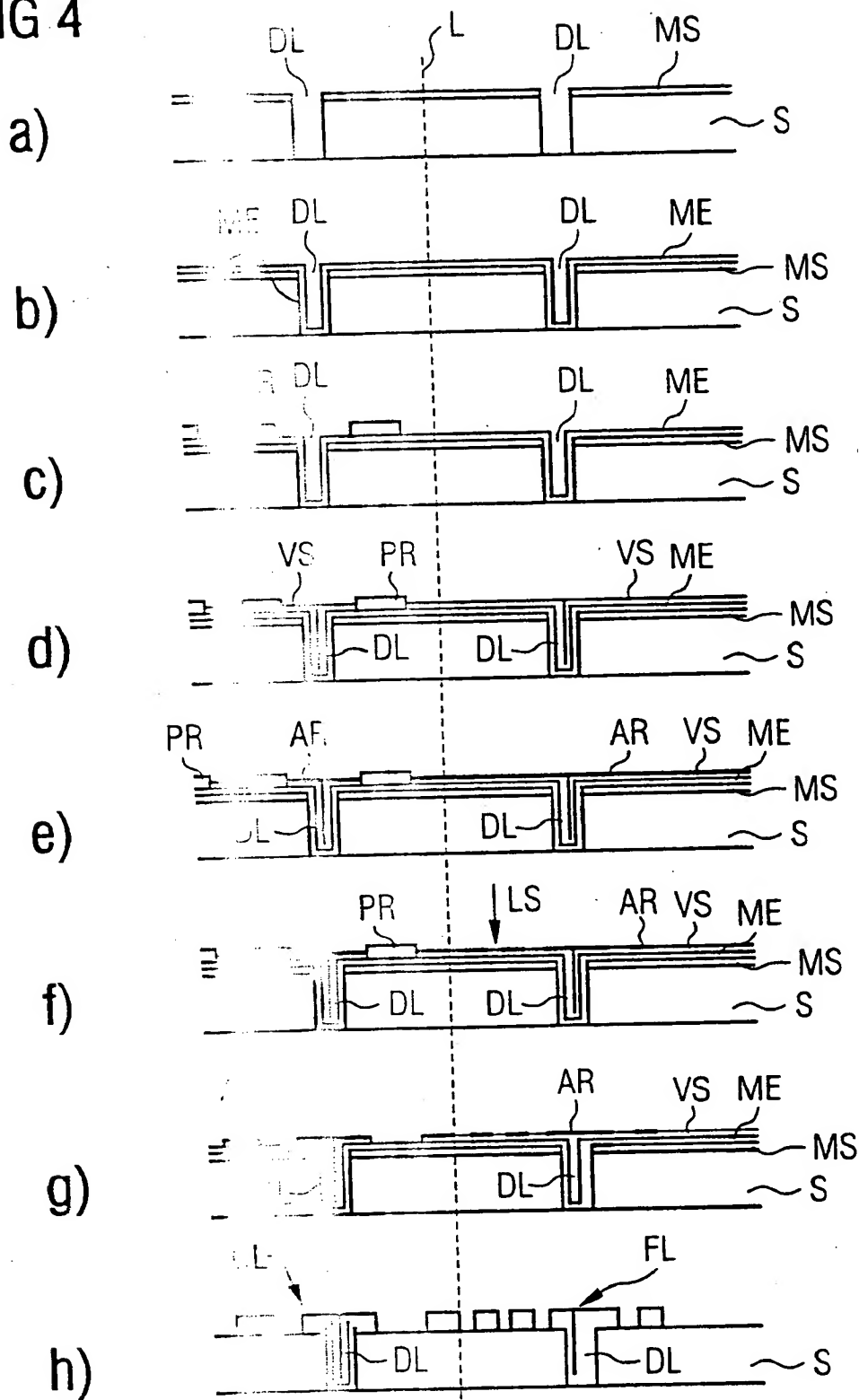


FIG 3



4/4

FIG 4



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/04568

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H05K3/06 H05K1/02

According to International Patent Classification (IPC) or to national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H05K

Documentation searched other than minimum documentation: to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 062 300 A (FRITZ WITTIG HERSTELLUNG GEDRUCKTER SCHALTUNGEN) 13 October 1982 (1982-10-13) cited in the application page 4; figure	1-3,8-11
A	DE 37 32 249 A (SIEMENS AG) 13 April 1989 (1989-04-13) the whole document	1,2,8-11
A	DE 41 31 065 A (SIEMENS AG) 4 March 1993 (1993-03-04) cited in the application claims; figures	1,2,8-11
A	GB 2 213 325 A (MARCONI ELECTRONIC DEVICES) 9 August 1989 (1989-08-09) claims	1,5,6
-/--		



Further documents are listed in the continuation of this report



Patent family members are listed in annex

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim which is cited to establish the publication date of a citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibit or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

18 October 1999

Date of mailing of the international search report

28/10/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Pat
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 ep
Fax: (+31-70) 340-3016

Authorized officer

Mes, L

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/04568

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No. ..
A	US 4 312 897 A (REIMANN) 26 January 1982 (1982-01-26) column 3, line 24 - column 4, line 31; figures 2,3	1-3
A	US 4 527 041 A (KAI) 2 July 1985 (1985-07-02) the whole document	1
A	EP 0 602 258 A (INTERNATIONAL BUSINESS MACHINES CORP.) 22 June 1994 (1994-06-22) cited in the application	

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/EP 99/04568

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 62300	A	13-10-1982	DE 3113855 A	21-10-1982
DE 3732249	A	13-04-1989	NONE	
DE 4131065	A	04-03-1993	NONE	
GB 2213325	A	09-08-1989	NONE	
US 4312897	A	26-01-1982	DK 387479 A,B,	19-03-1980
US 4527041	A	02-07-1985	NONE	
EP 602258	A	22-06-1994	DE 59208335 D	15-05-1997

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 99/04568

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDS
IPK 7 H05K3/06 H05K1/02

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H05K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 0 062 300 A (FRITZ WITTIG HERSTELLUNG GEDRUCKTER SCHALTUNGEN) 13. Oktober 1982 (1982-10-13) in der Anmeldung erwähnt Seite 4; Abbildung	1-3,8-11
A	DE 37 32 249 A (SIEMENS AG) 13. April 1989 (1989-04-13) das ganze Dokument	1,2,8-11
A	DE 41 31 065 A (SIEMENS AG) 4. März 1993 (1993-03-04) in der Anmeldung erwähnt Ansprüche; Abbildung	1,2,8-11
A	GB 2 213 325 A (MARCONI ELECTRONIC DEVICES) 9. August 1989 (1989-08-09) Ansprüche	1,5,6
-/-		

☒ Weitere Veröffentlichungen sind der Fortsetzung von Teil C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen:
 "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
 "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
 "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grunde angegeben ist (wie ausgeführt)
 "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
 "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
 "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
 "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
 "G" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. Oktober 1999

Absenddatum des internationalen Recherchenberichts

28/10/1999

Name und Postanschrift der internationalen Recherche:
 Europäisches Patentamt, P.O. 5818 Postfach 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040 Fax: (+31-70) 340-3011
 Fax: (+31-70) 340-3011

Bevollmächtigter Bediensteter

Mes, L

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE VERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 4 312 897 A (REIMANN) 26. Januar 1982 (1982-01-26) Spalte 3, Zeile 24 - Spalte 4, Zeile 31; Abbildungen 2,3	1-3
A	US 4 527 041 A (KAI) 2. Juli 1985 (1985-07-02) das ganze Dokument	1
A	EP 0 602 258 A (INTERNATIONAL BUSINESS MACHINES CORP.) 22. Juni 1994 (1994-06-22) in der Anmeldung druckfertig	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 99/04568

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 62300	A	13-11-1982	DE 3113855 A	21-10-1982
DE 3732249	A	13-01-1989	KEINE	
DE 4131065	A	04-01-1993	KEINE	
GB 2213325	A	09-01-1989	KEINE	
US 4312897	A	16-11-1982	DK 387479 A,B,	19-03-1980
US 4527041	A	02-11-1985	KEINE	
EP 602258	A	22-05-1994	DE 59208335 D	15-05-1997